

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-73781

(43)公開日 平成9年(1997)3月18日

(51)Int.Cl.⁸

G 1 1 C 11/41

11/413

識別記号

庁内整理番号

F I

G 1 1 C 11/34

3 0 1 E

J

技術表示箇所

審査請求 未請求 請求項の数16 O L (全 22 頁)

(21)出願番号

特願平7-227996

(22)出願日

平成7年(1995)9月5日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 山内 忠昭

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

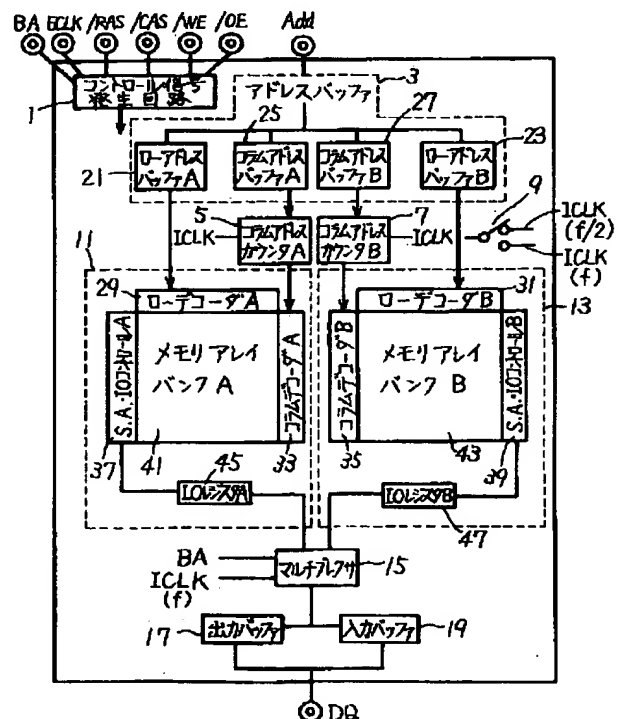
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 同期型半導体記憶装置

(57)【要約】

【課題】 アドレスの入力を簡略化できる同期型半導体記憶装置を提供することである。

【解決手段】 本発明の同期型半導体記憶装置は、バンクA11およびバンクB13のそれぞれに対応して、コラムアドレスカウンタA5およびコラムアドレスカウンタB7が設けられている。コラムアドレスカウンタA5およびコラムアドレスカウンタB7は、コラムアドレスバッファA25およびコラムアドレスバッファB27からそれぞれ出力される基準内部コラムアドレス信号をもとに、内部コラムアドレス信号を順次、交互に出力する。その結果、バンクA11とバンクB13とを交互にアクセスしようとする場合に、バンクが変わるたびに、外部コラムアドレス信号の入力を必要とせず、アドレス入力を簡略化できる。



【特許請求の範囲】

【請求項1】 外部からの外部クロック信号に基づき、内部クロック信号を発生する内部クロック信号発生手段と、

各々が、情報を記憶するための複数のメモリスセルを有する複数のメモリアレイバンクと、

対応する前記メモリアレイバンクの行を選択するための複数の外部行アドレス信号を受け、それに応じて、複数の内部行アドレス信号を発生する行アドレスバッファと、

対応する前記メモリアレイバンクの列を選択するための複数の外部列アドレス信号を受け、それに応じて、複数の基準内部列アドレス信号を発生する列アドレスバッファと、

各々が、前記列アドレスバッファからの前記基準内部列アドレス信号に基づき、前記内部クロック信号に同期して、前記メモリアレイバンクの列を選択するための内部列アドレス信号を順次発生する複数のアドレスカウンタ手段とを備え、

前記アドレスカウンタ手段が、複数設けられており、複数の前記基準内部列アドレス信号を割当てることができるため、アクセスのたびに、そのアクセスに応じた前記外部列アドレス信号の入力を必要としない、同期型半導体記憶装置。

【請求項2】 前記複数のアドレスカウンタ手段は、前記複数のメモリアレイバンクに対して用いられ、前記複数の基準内部列アドレス信号に基づく前記複数の内部列アドレス信号を、前記複数のメモリアレイバンクに対して交互に発生し、

アクセスが複数のメモリアレイバンクに対して交互に行なわれる、請求項1に記載の同期型半導体記憶装置。

【請求項3】 前記複数のアドレスカウンタ手段は、前記1つのメモリアレイバンクに対して用いられ、前記1つのメモリアレイバンクに対する前記複数の基準内部列アドレス信号を受け、前記複数の基準内部列アドレス信号に基づく複数の前記内部列アドレス信号を、前記1つのメモリアレイバンクに対して交互に発生し、

アクセスが前記1つのメモリアレイバンク内で、前記複数の基準内部列アドレス信号に基づき、交互に行なわれる、請求項1に記載の同期型半導体記憶装置。

【請求項4】 前記複数のメモリアレイバンクおよび前記複数のアドレスカウンタ手段が2つある場合において、

前記行アドレスバッファは、前記外部クロック信号の立上りまたは立下りの決められた一方の遷移に応じて、前記メモリアレイバンクに対する前記外部行アドレス信号を取込み、

その次に、前記列アドレスバッファは、前記外部行アドレス信号を取込む場合と同様の、前記外部クロック信号の決められた一方の遷移に応じて、タイミングを異にし

て、前記2つのメモリアレイバンクに対する2つの前記外部列アドレス信号を取込み、

前記2つのアドレスカウンタ手段は、前記外部クロック信号の周波数の2分の1の周波数を有する前記内部クロック信号に同期して、2つの前記基準内部列アドレス信号に基づく2つの前記内部列アドレス信号を前記2つのメモリアレイバンクに対して、交互に発生する、請求項2に記載の同期型半導体記憶装置。

【請求項5】 前記複数のメモリアレイバンクおよび前記複数のアドレスカウンタ手段が2つある場合において、

前記行アドレスバッファは、前記外部クロック信号の立上りまたは立下りの決められた一方の遷移に応じて、前記2つのメモリアレイバンクのうちの1つのメモリアレイバンクに対する前記外部行アドレス信号を取込み、

その次に、前記列アドレスバッファは、前記外部行アドレス信号を取込む場合と同様の、前記外部クロック信号の決められた一方の遷移に応じて、タイミングを異にして、前記1つのメモリアレイバンクに対する2つの前記外部列アドレス信号を取込み、

前記2つのアドレスカウンタ手段は、前記外部クロック信号の周波数の2分の1の周波数を有する前記内部クロック信号に同期して、前記1つのメモリアレイバンクに対して、2つの前記基準内部列アドレス信号に基づく2つの前記内部列アドレス信号を交互に発生する、請求項3に記載の同期型半導体記憶装置。

【請求項6】 前記複数のメモリアレイバンクおよび前記複数のアドレスカウンタ手段が2つある場合において、

前記行アドレスバッファは、前記外部クロック信号の立上りまたは立下りの決められた一方の遷移に応じて、前記2つのメモリアレイバンクの一方に対する前記外部行アドレス信号を取込み、前記外部クロック信号の決められた他方の遷移に応じて、前記2つのメモリアレイバンクの他方に対する前記外部行アドレス信号を取込み、

その次に、前記列アドレスバッファは、前記一方のメモリアレイバンクに対する前記外部列アドレス信号を、前記一方のメモリアレイバンクに対する前記外部行アドレス信号を取込む場合と同様の、前記外部クロック信号の

決められた一方の遷移に応じて取込み、前記他方のメモリアレイバンクに対する前記外部列アドレス信号を、前記他方のメモリアレイバンクに対する前記外部行アドレス信号を取込む場合と同様の、前記外部クロック信号の決められた他方の遷移に応じて取込み、

前記2つのアドレスカウンタ手段は、前記外部クロック信号の周波数と同一の周波数を有する前記内部クロック信号に同期して、2つの前記基準内部列アドレス信号に基づく2つの前記内部列アドレス信号を前記2つのメモリアレイバンクに対して、交互に発生する、請求項2に記載の同期型半導体記憶装置。

【請求項7】 前記複数のメモリアレイバンクおよび前記複数のアドレスカウンタ手段が2つある場合において、

前記行アドレスバッファは、前記外部クロック信号の立上りまたは立下りの決められた一方の遷移に応じて、前記2つのメモリアレイバンクのうちの1つのメモリアレイバンクに対する一方の前記外部行アドレス信号を取込み、前記外部クロック信号の決められた他方の遷移に応じて、前記1つのメモリアレイバンクに対する他方の前記外部行アドレス信号を取込み、

その次に、前記列アドレスバッファは、前記一方の外部行アドレス信号を取込む場合と同様の、前記外部クロック信号の決められた一方の遷移に応じて、前記一方の外部行アドレス信号に対する一方の前記外部列アドレス信号を取込み、前記他方の外部行アドレス信号を取込む場合と同様の、前記外部クロック信号の決められた他方の遷移に応じて、前記他方の外部行アドレス信号に対する他方の前記外部列アドレス信号を取込み、

前記2つのアドレスカウンタ手段は、前記外部クロック信号の周波数と同一の周波数を有する前記内部クロック信号に同期して、2つの前記基準内部列アドレス信号に基づく、2つの前記内部列アドレス信号を、前記1つのメモリアレイバンクに対して交互に発生する、請求項3に記載の同期型半導体記憶装置。

【請求項8】 外部からの外部クロック信号に基づき、内部クロック信号を発生する内部クロック信号発生手段と、

各々が、情報を記憶するための複数のメモリセルを有する複数のメモリアレイバンクと、

対応する前記メモリアレイバンクの行を選択するための複数の外部行アドレス信号を受け、それに応じて複数の内部行アドレス信号を発生する行アドレスバッファと、対応する前記メモリアレイバンクの列を選択するための複数の外部列アドレス信号を受け、それに応じて複数の基準内部列アドレス信号を発生する列アドレスバッファと、

前記列アドレスバッファからの前記基準内部列アドレス信号に基づき、前記内部クロック信号に同期して、前記メモリアレイバンクの列を選択するための内部列アドレス信号を順次発生するアドレスカウンタ手段とを備え、前記アドレスカウンタ手段は、

前記基準内部列アドレス信号に基づき、前記内部列アドレス信号を順次発生するカウンタと、

前記基準内部列アドレス信号に対する前記カウンタの動作の後に、前記内部列アドレス信号を保持し、その内部列アドレス信号のもとになっていない他の前記基準内部列アドレス信号に対する前記カウンタの動作の後に、前記保持した内部列アドレス信号を新たな基準内部列アドレス信号として、前記カウンタに出力する内部列アドレス信号保持手段と、

前記カウンタからの前記内部列アドレス信号により列を選択しようとする前記メモリアレイバンク側に前記カウンタからの前記内部列アドレス信号を出力する選択手段とを含み、

前記内部列アドレス信号保持手段は、アクセスに関係ない前記基準内部列アドレス信号に基づく前記内部列アドレス信号を保持し、アクセスの必要が生じたときに、その保持された前記内部列アドレス信号を新たな前記基準内部列アドレス信号として、前記カウンタに出力するため、アクセスのたびに、そのアクセスに応じた前記基準内部列アドレス信号の入力を必要としない、同期型半導体記憶装置。

【請求項9】 前記カウンタは、前記複数のメモリアレイバンクに対して、前記列アドレスバッファからの複数の前記基準内部列アドレス信号に基づく複数の前記内部列アドレス信号を交互に発生し、

アクセスが前記複数のメモリアレイバンクに対して交互に行なわれる、請求項8に記載の同期型半導体記憶装置。

10 【請求項10】 前記カウンタは、前記複数のメモリアレイバンクのうちの1つのメモリアレイバンクに対する複数の前記基準内部列アドレス信号に基づく複数の前記内部列アドレス信号を、前記1つのメモリアレイバンクに対して交互に発生し、

アクセスが前記1つのメモリアレイバンク内で、前記列アドレスバッファからの前記複数の基準内部列アドレス信号に基づき、交互に行なわれる、請求項8に記載の同期型半導体記憶装置。

30 【請求項11】 前記複数のメモリアレイバンクが2つある場合において、前記行アドレスバッファは、前記外部クロック信号の立上りまたは立下りの決められた一方の遷移に応じて、前記メモリアレイバンクに対する前記外部行アドレス信号を取込み、

その次に、前記列アドレスバッファは、前記外部行アドレス信号を取込む場合と同様の、前記外部クロック信号の決められた一方の遷移に応じて、タイミングを異にして、前記2つのメモリアレイバンクに対する2つの前記外部列アドレス信号を取込み、

40 前記アドレスカウンタ手段は、前記外部クロック信号の周波数の2分の1の周波数を有する前記内部クロック信号に同期して、前記列アドレスバッファからの2つの前記基準内部列アドレス信号に基づく2つの前記内部列アドレス信号を前記2つのメモリアレイバンクに対して、交互に発生する、請求項9に記載の同期型半導体記憶装置。

50 【請求項12】 前記複数のメモリアレイバンクが2つある場合において、前記行アドレスバッファは、前記外部クロック信号の立上りまたは立下りの決められた一方の遷移に応じて、前記2つのメモリアレイバンクのうちの1つのメモリアレイバンクに対する前記外部行アドレ

ス信号を取込み、

その次に、前記列アドレスバッファは、前記外部行アドレス信号を取込む場合と同様の、前記外部クロック信号の決められた一方の遷移に応じて、タイミングを異にして、前記1つのメモリアレイバンクに対する2つの前記外部列アドレス信号を取込み、

前記アドレスカウンタ手段は、前記外部クロック信号の周波数の2分の1の周波数を有する前記内部クロック信号に同期して、前記1つのメモリアレイバンクに対して、前記列アドレスバッファからの2つの前記基準内部列アドレス信号に基づく2つの前記内部列アドレス信号を交互に発生する、請求項10に記載の同期型半導体記憶装置。

【請求項13】 前記複数のメモリアレイバンクが2つある場合において、

前記行アドレスバッファは、前記外部クロック信号の立上りまたは立下りの決められた一方の遷移に応じて、前記2つのメモリアレイバンクの一方に対する前記外部行アドレス信号を取込み、前記外部クロック信号の決められた他方の遷移に応じて前記2つのメモリアレイバンクの他方に対する前記外部行アドレス信号を取込み、

その次に、前記列アドレスバッファは、前記一方のメモリアレイバンクに対する前記外部列アドレス信号を、前記一方のメモリアレイバンクに対する前記外部行アドレス信号を取込む場合と同様の、前記外部クロック信号の決められた一方の遷移に応じて取込み、前記他方のメモリアレイバンクに対する前記外部列アドレス信号を前記他方のメモリアレイバンクに対する前記外部行アドレス信号を取込む場合と同様の、前記外部クロック信号の決められた他方の遷移に応じて取込み、

前記アドレスカウンタ手段は、前記外部クロック信号の周波数と同一の周波数を有する前記内部クロック信号に同期して、前記列アドレスバッファからの2つの前記基準内部列アドレス信号に基づく2つの前記内部列アドレス信号を前記2つのメモリアレイバンクに対して、交互に発生する、請求項9に記載の同期型半導体記憶装置。

【請求項14】 前記複数のメモリアレイバンクが2つある場合において、

前記行アドレスバッファは、前記外部クロック信号の立上りまたは立下りの決められた一方の遷移に応じて、前記2つのメモリアレイバンクのうちの1つのメモリアレイバンクに対する一方の前記外部行アドレス信号を取込み、前記外部クロック信号の決められた他方の遷移に応じて、前記1つのメモリアレイバンクに対する他方の前記外部行アドレス信号を取込み、

その次に、前記列アドレスバッファは、前記一方の外部行アドレス信号を取込む場合と同様の、前記外部クロック信号の決められた一方の遷移に応じて、前記一方の外部行アドレス信号に対する一方の前記外部列アドレス信号を取込み、前記他方の外部行アドレス信号を取込む場

合同様の、前記外部クロック信号の決められた他方の遷移に応じて、前記他方の外部行アドレス信号に対する他方の前記外部列アドレス信号を取込み、

前記アドレスカウンタ手段は、前記外部クロック信号の周波数と同一の周波数を有する前記内部クロック信号に同期して、前記1つのメモリアレイバンクに対して、前記列アドレスバッファからの2つの前記基準内部列アドレス信号に基づく2つの前記内部列アドレス信号を交互に発生する、請求項10に記載の同期型半導体記憶装置。

【請求項15】 前記行アドレスバッファは、前記複数の外部行アドレス信号を受け、前記複数の内部行アドレス信号を発生する行バッファと、前記行バッファからの前記内部行アドレス信号を必要とする前記メモリアレイバンクを選択する行用選択手段とを含む、請求項1または8に記載の同期型半導体記憶装置。

【請求項16】 前記列アドレスバッファは、前記複数の外部列アドレス信号を受け、前記複数の基準内部列アドレス信号を発生する列バッファと、前記列バッファからの前記基準内部アドレス信号を必要とする前記メモリアレイバンクを選択する列用選択手段を含む、請求項1に記載の同期型半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数のメモリアレイバンクを有する同期型半導体記憶装置に関し、特に、アドレスの入力を簡略化することのできる同期型半導体記憶装置に関する。

【0002】

【従来の技術】図13は、従来の同期型半導体記憶装置を示す概略ブロック図である。

【0003】図13を参照して、アドレスバッファ3は、外部アドレス信号Addを受ける。外部アドレス信号Addとしての外部コラムアドレス信号は、コラムアドレスバッファ89を介して、基準内部コラムアドレス信号として、コラムアドレスカウンタ91に入力される。

【0004】コラムアドレスカウンタ91は、コラムアドレスバッファ89からの基準内部コラムアドレス信号をスタートアドレスとして、それをインクリメントしたアドレス（内部コラムアドレス信号）を、順次発生する。

【0005】そして、ローアドレスバッファA21からの内部ローアドレス信号およびコラムアドレスカウンタ91からの内部コラムアドレス信号に基づき、メモリアレイバンクA41の中の1つのメモリセルが選択される。また、メモリアレイバンクB43についても同様で、ローアドレスバッファB23からの内部ローアドレス信号およびコラムアドレスカウンタ91からの内部コ

10

20

30

40

50

ラムアドレス信号に基づき、メモリアレイバンクB43の中の1つのメモリセルが選択される。

【0006】このようにして、メモリアレイバンクの中のメモリセルを選択して、リードまたはライト動作を行なう。

【0007】

【発明が解決しようとする課題】図14は、図13に示した従来の同期型半導体記憶装置の動作を説明するためのタイミング図である。

【0008】図13および図14を参照して、説明する。従来の同期型半導体記憶装置は、内部コラムアドレス信号を順次発生するコラムアドレスカウンタ91を1つしか有していない。このため、複数のスタートアドレス(複数の基準内部コラムアドレス信号)を保持できない。したがって、メモリアレイバンクA41とメモリアレイバンクB43とを交互にアクセスしようとするとき、次のような問題が生じていた。

【0009】すなわち、メモリアレイバンクA41に対する外部コラムアドレス信号(Ya0、Ya1、Ya2、Ya3)と、メモリアレイバンクB43に対する外部コラムアドレス信号(Yb0、Yb1、Yb2、Yb3)とを、交互に入力する必要があり、アクセスしようとするメモリアレイバンクが変わるたびに、外部コラムアドレス信号を入力しなければならないという問題点があった。

【0010】また、2つのメモリアレイバンクのうちの一つのメモリアレイバンクに対して、異なる2つのスタートアドレス(異なる基準内部コラムアドレス信号)を用いて、交互にアクセスしようとするときも、上記したと同様の問題点があった。すなわち、2つのスタートアドレスに対して、各スタートアドレスのインクリメントされたアドレスを順次アクセスしようすると、アクセスが変わるたびに、外部コラムアドレス信号を入力して、スタートアドレス(基準内部コラムアドレス信号)を入力しなければならないという問題点があった。

【0011】この発明は、以上のような問題点を解決するためになされたもので、複数のスタートアドレス(複数の基準内部コラムアドレス信号)を用いて、連続してデータを交互にアクセスする際に、アクセスのたびに外部コラムアドレス信号を入力する必要がない同期型半導体記憶装置を提供することである。すなわち、アドレスの入力を簡略化できる同期型半導体記憶装置を提供することである。

【0012】

【課題を解決するための手段】本発明の請求項1の同期型半導体記憶装置は、内部クロック信号発生手段、複数のメモリアレイバンク、行アドレスバッファ、列アドレスバッファおよび複数のアドレスカウンタ手段を備える。

【0013】内部クロック信号発生手段は、外部からの

外部クロック信号に基づき、内部クロック信号を発生する。メモリアレイバンクは、情報を記憶するための複数のメモリセルを有する。行アドレスバッファは、対応するメモリアレイバンクの行を選択するための複数の外部行アドレス信号を受け、それに応じて、複数の内部行アドレス信号を発生する。

【0014】列アドレスバッファは、対応するメモリアレイバンクの列を選択するための複数の外部列アドレス信号を受け、それに応じて、複数の基準内部列アドレス信号を発生する。アドレスカウンタ手段は、列アドレスバッファからの基準内部列アドレス信号に基づき、内部クロック信号に同期して、メモリアレイバンクの列を選択するための内部列アドレス信号を順次発生する。

【0015】以上のように、本発明の請求項1の同期型半導体記憶装置では、アドレスカウンタ手段が、複数設けられており、それらに複数の基準内部列アドレス信号を割当てることができる。このため、複数のアドレスカウンタ手段は、複数の基準内部列アドレス信号に基づき、複数の内部列アドレス信号を、順次、交互に、発生できる。

【0016】その結果、本発明の請求項1の同期型半導体記憶装置では、アクセスのたびに、そのアクセスに応じた外部列アドレス信号の入力を必要とせず、アドレス入力を簡略化できる。

【0017】本発明の請求項2の同期型半導体記憶装置では、請求項1の同期型半導体記憶装置において、複数のアドレスカウンタ手段は、複数のメモリアレイバンクに対して用いられる。アドレスカウンタ手段は対応するメモリアレイバンクの基準内部列アドレス信号を受け、複数のアドレスカウンタ手段は、複数のメモリアレイバンクの複数の基準内部列アドレス信号に基づく複数の内部列アドレス信号を、複数のメモリアレイバンクに対して交互に発生する。そして、アクセスが複数のメモリアレイバンクに対して交互に行なわれる。

【0018】以上のように、本発明の請求項2の同期型半導体記憶装置では、複数のメモリアレイバンクに対応して複数のアドレスカウンタ手段が設けられている。このため、複数のメモリアレイバンクに対する複数の基準内部列アドレス信号を、複数のアドレスカウンタ手段に割当てることができる。このため、複数のアドレスカウンタ手段は、複数の基準内部列アドレス信号に基づき、複数の内部列アドレス信号を、順次、交互に、発生できる。

【0019】その結果、本発明の請求項2の同期型半導体記憶装置では、複数のメモリアレイバンクに対して、交互にアクセスする際に、アクセスするメモリアレイバンクが変わるたびに、対応する外部列アドレス信号の入力を必要とせず、アドレス入力を簡略化できる。

【0020】本発明の請求項3の同期型半導体記憶装置では、請求項1の同期型半導体記憶装置において、複数

のアドレスカウンタ手段は、1つのメモリアレイバンクに対して用いられ、1つのメモリアレイバンクに対する複数の基準内部列アドレス信号を受ける。そして、複数のアドレスカウンタ手段は、複数の基準内部列アドレス信号に基づく複数の内部列アドレス信号を、1つのメモリアレイバンクに対して交互に発生する。こうすることにより、1つのメモリアレイバンク内で、複数の基準内部列アドレス信号に基づきアクセスが交互に行なわれる。

【0021】以上のように、本発明の請求項3の同期型半導体記憶装置では、複数のアドレスカウンタ手段が設けられている。このため、複数のアドレスカウンタ手段に、1つのメモリアレイバンクに対する複数の基準内部列アドレス信号を割当てることができる。このため、複数のアドレスカウンタ手段は、複数の基準内部列アドレス信号に基づき、複数の内部列アドレス信号を、順次、交互に、発生できる。

【0022】その結果、本発明の請求項3の同期型半導体記憶装置では、複数のメモリアレイバンクのうちの1つのメモリアレイバンクに対して、複数の基準内部列アドレス信号に基づき、交互にアクセスしようとする際に、交互にアクセスするたびに、そのアクセスに応じた外部列アドレス信号の入力を必要とせず、アドレス入力を簡略化できる。

【0023】本発明の請求項4の同期型半導体記憶装置では、請求項2の同期型半導体記憶装置において、メモリアレイバンクおよびアドレスカウンタ手段を2つ備えている。行アドレスバッファは、外部クロック信号の立上りまたは立下りの決められた一方の遷移に応じて、メモリアレイバンクに対する外部行アドレス信号を取込む。

【0024】その次に、列アドレスバッファは、外部行アドレス信号を取込む場合と同様の、外部クロック信号の決められた一方の遷移に応じて、タイミングを異にして、2つのメモリアレイバンクに対する2つの外部列アドレス信号を取込む。2つのアドレスカウンタ手段は、外部クロック信号の周波数の2分の1の周波数を有する内部クロック信号に同期して、2つの基準内部列アドレス信号に基づく2つの内部列アドレス信号を2つのメモリアレイバンクに対して、交互に発生する。

【0025】以上のように、本発明の請求項4の同期型半導体記憶装置では、2つのメモリアレイバンクに対応して、2つのアドレスカウンタ手段が設けられている。このため、2つのアドレスカウンタ手段に、2つのメモリアレイバンクに対する2つの基準内部列アドレス信号を割当てることができる。このため、2つのアドレスカウンタ手段は、2つの基準内部列アドレス信号に基づき、2つの内部列アドレス信号を、順次、交互に、発生できる。

【0026】その結果、本発明の請求項4の同期型半導

体記憶装置では、2つのメモリアレイバンクに対して、交互にアクセスしようとする際に、アクセスするメモリアレイバンクが変わるたびに、対応する外部列アドレス信号の入力を必要とせず、アドレス入力を簡略化できる。

【0027】本発明の請求項5の同期型半導体記憶装置では、請求項3の同期型半導体記憶装置において、2つのメモリアレイバンクおよび2つのアドレスカウンタ手段を備えている。行アドレスバッファは、外部クロック信号の立上りまたは立下りの決められた一方の遷移に応じて、2つのバンクのうちの1つのメモリアレイバンクに対する外部行アドレス信号を取込む。

【0028】その次に、列アドレスバッファは、外部行アドレス信号を取込む場合と同様の、外部クロック信号の決められた一方の遷移に応じて、タイミングを異にして、1つのメモリアレイバンクに対する2つの外部列アドレス信号を取込む。

【0029】2つのアドレスカウンタ手段は、外部クロック信号の周波数の2分の1の周波数を有する内部クロック信号に同期して、1つのメモリアレイバンクに対して、2つの基準内部列アドレス信号に基づく2つの内部列アドレス信号を交互に発生する。

【0030】以上のように、本発明の請求項5の同期型半導体記憶装置では、2つのメモリアレイバンクに対応して2つのアドレスカウンタ手段が設けられている。このため、2つのアドレスカウンタ手段に、1つのメモリアレイバンクに対する2つの基準内部列アドレス信号を割当てることができる。このため、2つのアドレスカウンタ手段は、2つの基準内部列アドレス信号に基づき、2つの内部列アドレス信号を、順次、交互に、発生できる。

【0031】その結果、本発明の請求項5の同期型半導体記憶装置では、2つのメモリアレイバンクのうちの1つのメモリアレイバンクに対して、2つの基準内部列アドレス信号に基づき交互にアクセスしようとする際に、アクセスのたびに、そのアクセスに応じた外部列アドレス信号の入力を必要とせず、アドレス入力を簡略化できる。

【0032】本発明の請求項6の同期型半導体記憶装置では、請求項2の同期型半導体記憶装置において、2つのメモリアレイバンクおよび2つのアドレスカウンタ手段を備えている。行アドレスバッファは、外部クロック信号の立上りまたは立下りの決められた一方の遷移に応じて、2つのメモリアレイバンクの一方に対する外部行アドレス信号を取込む。さらに、行アドレスバッファは、外部クロック信号の決められた他方の遷移に応じて、2つのメモリアレイバンクの他方に対する外部行アドレス信号を取込む。

【0033】その次に、列アドレスバッファは、一方のメモリアレイバンクに対する外部列アドレス信号を、一

10

20

30

40

50

方のメモリアレイバンクに対する外部行アドレス信号を取込む場合と同様の、外部クロック信号の決められた一方の遷移に応じて取込む。さらに、列アドレスバッファは、他方のメモリアレイバンクに対する外部列アドレス信号を他方のメモリアレイバンクに対する外部行アドレス信号を取込む場合と同様の、外部クロック信号の決められた他方の遷移に応じて取込む。

【0034】2つのアドレスカウンタ手段は、外部クロック信号の周波数と同一の周波数を有する内部クロック信号に同期して、2つの基準内部列アドレス信号に基づき2つの内部列アドレス信号を2つのメモリアレイバンクに対して、交互に発生する以上のように、本発明の請求項6の同期型半導体記憶装置では、2つのメモリアレイバンクに対応して、2つのアドレスカウンタ手段を設けている。このため、2つのアドレスカウンタ手段に、2つのメモリアレイバンクに対する2つの基準内部列アドレス信号を割当てることができる。このため、2つのアドレスカウンタ手段は、2つの基準内部列アドレス信号に基づき、2つの内部列アドレス信号を、順次、交互に、発生できる。

【0035】その結果、本発明の請求項6の同期型半導体記憶装置では、アクセスするメモリアレイバンクが変わるたびに、外部列アドレス信号の入力を必要とせず、アドレス入力の簡略化ができる。

【0036】本発明の請求項7の同期型半導体記憶装置では、請求項3の同期型半導体記憶装置において、2つのメモリアレイバンクおよび2つのアドレスカウンタ手段を備えている。行アドレスバッファは、外部クロック信号の立上りまたは立下りの決められた一方の遷移に応じて、2つのメモリアレイバンクのうちの1つのメモリアレイバンクに対する一方の外部行アドレス信号を取込む。さらに、行アドレスバッファは、外部クロック信号の決められた他方の遷移に応じて、1つのメモリアレイバンクに対する他方の外部行アドレス信号を取込む。

【0037】その次に、列アドレスバッファは、一方の外部行アドレス信号に対する一方の外部列アドレス信号を、一方の外部行アドレス信号を取込む場合と同様の、外部クロック信号の決められた一方の遷移に応じて取込む。さらに、列アドレスバッファは、他方の外部行アドレス信号に対する他方の外部列アドレス信号を他方の外部行アドレス信号を取込む場合と同様の、外部クロック信号の決められた他方の遷移に応じて取込む。

【0038】2つのアドレスカウンタ手段は、外部クロック信号の周波数と同一の周波数を有する内部クロック信号に同期して、2つの基準内部列アドレス信号に基づき、2つの内部列アドレス信号を、1つのメモリアレイバンクに対して交互に発生する。

【0039】以上のように、本発明の請求項7の同期型半導体記憶装置では、2つのメモリアレイバンクに対して、2つのアドレスカウンタ手段が設けられている。こ

のため、2つのアドレスカウンタ手段に、1つのメモリアレイバンクに対する2つの基準内部列アドレス信号を割当てることができる。このため、2つのアドレスカウンタ手段は、2つの基準内部列アドレス信号に基づき、2つの内部列アドレス信号を、順次、交互に、発生できる。

【0040】その結果、本発明の請求項7の同期型半導体記憶装置では、2つのメモリアレイバンクのうちの1つのメモリアレイバンクに対して、2つの基準内部列アドレス信号に基づきアクセスしようとする際に、アクセスのたびに外部列アドレス信号の入力を必要とせず、アドレス入力を簡略化できる。

【0041】本発明の請求項8の同期型半導体記憶装置は、内部クロック発生手段、複数のメモリアレイバンク、行アドレスバッファ、列アドレスバッファ、アドレスカウンタ手段および入出力手段を備える。

【0042】内部クロック発生手段は、外部からの外部クロック信号に基づき、内部クロック信号を発生する。メモリアレイバンクは、情報を記憶するための複数のメモリセルを有する。行アドレスバッファは、対応するメモリアレイバンクの行を選択するための複数の外部行アドレス信号を受け、それに応じて、複数の内部行アドレス信号を発生する。

【0043】列アドレスバッファは、対応するメモリアレイバンクの列を選択するための複数の外部列アドレス信号を受け、それに応じて、複数の基準内部列アドレス信号を発生する。アドレスカウンタ手段は、列アドレスバッファからの基準内部列アドレス信号に基づき、内部クロック信号に同期して、メモリアレイバンクの列を選択するための内部列アドレス信号を順次発生する。

【0044】アドレスカウンタ手段は、カウンタ、内部列アドレス信号保持手段および選択手段を含む。

【0045】カウンタは、基準内部列アドレス信号に基づき、内部列アドレス信号を順次発生する。内部列アドレス信号保持手段は、基準内部列アドレス信号に対するカウンタの動作の後に内部列アドレス信号を保持する。そして、内部列アドレス信号保持手段は、保持された内部列アドレス信号のもとになっていない他の基準内部列アドレス信号に対するカウンタの動作の後に、保持していた内部列アドレス信号を新たな基準内部列アドレス信号として、カウンタに出力する。

【0046】選択手段は、カウンタからの内部列アドレス信号により列を選択しようとするメモリアレイバンク側にカウンタからの内部列アドレス信号を出力する。

【0047】以上のように、本発明の請求項8の同期型半導体記憶装置では、内部列アドレス信号保持手段は、アクセスに関係ない基準内部列アドレス信号に基づく内部列アドレス信号が保持する。そして、内部列アドレス信号保持手段は、アクセスの必要が生じたときに、その保持された内部列アドレス信号を新たな基準内部列アド

10

20

30

40

50

レス信号として、カウンタに出力する。

【0048】その結果、本発明の請求項8の同期型半導体記憶装置では、アクセスのたびに、そのアクセスに応じた外部列アドレス信号の入力を必要とせず、アドレス入力を簡略化できる。

【0049】さらに、本発明の請求項8の同期型半導体記憶装置では、複数のメモリアレイバンクに対して1つのアドレスカウンタ手段を用いているため、複数のメモリアレイバンクに対して複数のアドレスカウンタ手段を設ける場合に比し、回路規模を小型化できる。

【0050】本発明の請求項9の同期型半導体記憶装置では、請求項8の同期型半導体記憶装置において、カウンタは、複数のメモリアレイバンクに対して、列アドレスバッファからの複数の基準内部列アドレス信号に基づく複数の内部列アドレス信号を交互に発生し、アクセスが複数のバンクに対して交互に行なわれる。

【0051】以上のように、本発明の請求項9の同期型半導体記憶装置では、内部列アドレス信号保持手段を有するアドレスカウンタ手段を設けたことにより、複数のメモリアレイバンクに対して、交互にアクセスしようとする際に、アクセスするメモリアレイバンクが変わるたびに、外部列アドレス信号の入力を必要とせず、アドレス入力を簡略化できる。

【0052】本発明の請求項10の同期型半導体記憶装置では、請求項8の同期型半導体記憶装置において、カウンタは、複数のメモリアレイバンクのうちの1つのメモリアレイバンクに対する複数の基準内部列アドレス信号に基づく複数の内部列アドレス信号を、1つのメモリアレイバンクに対して交互に発生する。そして、アクセスが1つのメモリアレイバンク内で、列アドレスバッファからの複数の基準内部列アドレス信号に基づき、交互に行なわれる。

【0053】以上のように、本発明の請求項10の同期型半導体記憶装置では、内部列アドレス信号保持手段を有するアドレスカウンタ手段を設けることにより、複数のメモリアレイバンクのうちの1つのメモリアレイバンクに対して、複数の基準内部列アドレス信号に基づき交互にアクセスしようとする際に、アクセスのたびに、外部列アドレス信号の入力を必要とせず、アドレス入力を簡略化できる。

【0054】本発明の請求項11の同期型半導体記憶装置では、請求項9の同期型半導体記憶装置において、メモリアレイバンクを2つ備えている。行アドレスバッファは、外部クロック信号の立上りまたは立下りの決められた一方の遷移に応じて、メモリアレイバンクに対する外部行アドレス信号を取込む。

【0055】その次に、列アドレスバッファは、外部行アドレス信号を取込む場合と同様の、外部クロック信号の決められた一方の遷移に応じて、タイミングを異にして、2つのメモリアレイバンクに対する2つの外部列ア

ドレス信号を取込む。

【0056】アドレスカウンタ手段は、外部クロック信号の周波数の2分の1の周波数を有する内部クロック信号に同期して、列アドレスバッファからの2つの基準内部列アドレス信号に基づく2つの内部列アドレス信号を2つのメモリアレイバンクに対して、交互に発生する。

【0057】以上のように、本発明の請求項11の同期型半導体記憶装置では、内部列アドレス信号保持手段を有するアドレスカウンタ手段を設けることにより、2つのメモリアレイバンクに対して、交互にアクセスしようとする際に、アクセスするメモリアレイバンクが変わるたびに、外部列アドレス信号の入力を必要とせず、アドレス入力を簡略化できる。

【0058】本発明の請求項12の同期型半導体記憶装置では、請求項10の同期型半導体記憶装置において、2つのメモリアレイバンクを備えている。行アドレスバッファは、外部クロック信号の立上りまたは立下りの決められた一方の遷移に応じて、2つのメモリアレイバンクのうちの1つのメモリアレイバンクに対する外部行アドレス信号を取込む。

【0059】その次に、列アドレスバッファは、外部行アドレス信号を取込む場合と同様の、外部クロック信号の決められた一方の遷移に応じて、タイミングを異にして、2つのメモリアレイバンクのうちの1つのメモリアレイバンクに対する2つの外部列アドレス信号を取込む。

【0060】アドレスカウンタ手段は、外部クロック信号の周波数の2分の1の周波数を有する内部クロック信号に同期して、1つのメモリアレイバンクに対して、列アドレスバッファからの2つの基準内部列アドレス信号に基づく2つの内部列アドレス信号を交互に発生する。

【0061】以上のように、本発明の請求項12の同期型半導体記憶装置では、内部列アドレス信号保持手段を有するアドレスカウンタ手段を設けることにより、2つのメモリアレイバンクのうちの1つのメモリアレイバンクに対して、異なる基準内部列アドレス信号に基づき、交互にアクセスしようとする際に、アクセスのたびに、外部列アドレス信号の入力を必要とせず、アドレス入力を簡略化できる。

【0062】本発明の請求項13の同期型半導体記憶装置では、請求項9の同期型半導体記憶装置において、2つのメモリアレイバンクを備えている。行アドレスバッファは、外部クロック信号の立上りまたは立下りの決められた一方の遷移に応じて、2つのメモリアレイバンクの一方に対する外部行アドレス信号を取込む。さらに、行アドレスバッファは、外部クロック信号の決められた他方の遷移に応じて、2つのメモリアレイバンクの他方に対する外部行アドレス信号を取込む。

【0063】その次に、列アドレスバッファは、一方のメモリアレイバンクに対する外部列アドレス信号を、一

方のメモリアレイバンクに対する外部行アドレス信号を取込む場合と同様の、外部クロック信号の決められた一方の遷移に応じて取込む。さらに、列アドレスバッファは、他方のメモリアレイバンクに対する外部列アドレス信号を、他方のメモリアレイバンクに対する外部行アドレス信号を取込む場合と同様の、外部クロック信号の決められた他方の遷移に応じて取込む。

【0064】アドレスカウンタ手段は、外部クロック信号の周波数と同一の周波数を有する内部クロック信号に同期して、列アドレスバッファからの2つの基準内部列アドレス信号に基づく2つの内部列アドレス信号を2つのメモリアレイバンクに対して、交互に発生する。

【0065】以上のように、本発明の請求項13の同期型半導体記憶装置では、内部列アドレス信号保持手段を有するアドレスカウンタ手段を設けることにより、2つのメモリアレイバンクに対して、交互にアクセスする際、アクセスするメモリアレイバンクが変わるたびに、外部列アドレス信号の入力を必要とせず、アドレス入力を簡略化できる。本発明の請求項14の同期型半導体記憶装置では、請求項10の同期型半導体記憶装置において、2つのメモリアレイバンクを備える。行アドレスバッファは、外部クロック信号の立上りまたは立下りの決められた一方の遷移に応じて、2つのメモリアレイバンクのうちの1つのメモリアレイバンクに対する一方の外部行アドレス信号を取込む。さらに、行アドレスバッファは、外部クロック信号の決められた他方の遷移に応じて、1つのメモリアレイバンクに対する他方の外部アドレス信号を取込む。

【0066】その次に、列アドレスバッファは、一方の外部行アドレス信号を取込む場合と同様の、外部クロック信号の決められた一方の遷移に応じて、一方の外部行アドレス信号に対する一方の外部列アドレス信号を取込む。さらに、列アドレスバッファは、他方の外部行アドレス信号を取込む場合と同様の、外部クロック信号の決められた他方の遷移に応じて、他方の外部行アドレス信号に対する他方の外部列アドレス信号を取込む。

【0067】アドレスカウンタ手段は、外部クロック信号の周波数と同一の周波数を有する内部クロック信号に同期して、1つのメモリアレイバンクに対して、列アドレスバッファからの2つの基準内部列アドレス信号に基づく2つの内部列アドレス信号を交互に発生する。

【0068】以上のように本発明の請求項14の同期型半導体記憶装置では、内部列アドレス信号保持手段を有するアドレスカウンタ手段を設けることにより、2つのメモリアレイバンクのうちの1つのメモリアレイバンクに対して、異なる基準内部列アドレス信号に基づき交互にアクセスしようとする際に、アクセスのたびに、外部列アドレス信号の入力を必要とせず、アドレス入力を簡略化できる。

【0069】本発明の請求項15の同期型半導体記憶装

置では、請求項1または8の同期型半導体記憶装置において、行アドレスバッファは、行バッファおよび行用選択手段を含む。

【0070】行バッファは、複数の外部行アドレス信号を受け、複数の内部行アドレス信号を発生する。行用選択手段は、行バッファからの内部行アドレス信号を必要とするメモリアレイバンクを選択する。

【0071】以上のように、本発明の請求項15の同期型半導体記憶装置では、1つの行アドレスバッファを用い、その内部で、内部行アドレス信号を、対応するメモリアレイバンクに振り分けている。

【0072】その結果、本発明の請求項15の同期型半導体記憶装置では、複数の行アドレスバッファを用いる場合に比し、回路規模を小型化できる。

【0073】本発明の請求項16の同期型半導体記憶装置では、請求項1の同期型半導体記憶装置において、列アドレスバッファは、列バッファおよび列用選択手段を含む。

【0074】列バッファは、複数の外部列アドレス信号を受け、複数の基準内部列アドレス信号を発生する。列用選択手段は、列バッファからの基準内部列アドレス信号を必要とするメモリアレイバンクを選択する。

【0075】以上のように、本発明の請求項16の同期型半導体記憶装置では、1つの列アドレスバッファを用い、その内部で、基準内部列アドレス信号を対応するメモリアレイバンクに振り分けている。

【0076】その結果、本発明の請求項16の同期型半導体記憶装置では、複数の列アドレスバッファを設けている場合に比し、回路規模を小型化できる。

【0077】

【発明の実施の形態】以下、本発明による同期型半導体記憶装置としての同期型ダイナミックランダムアクセスメモリ（シンクロナスダイナミックランダムアクセスメモリ；以下、「SDRAM」という）について図面を参照しながら説明する。

【0078】（実施の形態1）図1は、本発明の実施の形態1によるSDRAMを示す概略ブロック図である。

【0079】図1を参照して、実施の形態1によるSDRAMは、コントロール信号発生回路1、アドレスバッファ3、コラムアドレスカウンタA5、コラムアドレスカウンタB7、スイッチング回路9、バンクA11、バンクB13、マルチプレクサ15、出力バッファ17および入力バッファ19を備える。

【0080】アドレスバッファ3は、ローアドレスバッファA21、ローアドレスバッファB23、コラムアドレスバッファA25およびコラムアドレスバッファB27を含む。バンクA11は、ローデコーダA29、コラムデコーダA33、センスアンプ・入出力コントロール回路A（S.A.・IOコントロール回路A）37、メモリアレイバンクA41およびIOレジスタA45を含

む。バンクB13は、コラムデコーダB35、ローデコーダB31、センスアンプ・入出力コントロール回路B(S. A. ・ I/Oコントロール回路B)39、メモリアレイバンクB43およびI/OレジスタB47を含む。

【0081】コントロール信号発生回路1は、バンクを選択するためのバンクアドレス信号BA、周波数 f の外部クロック信号ECLK、行アドレスストローブ信号/RAS(以下、「/RAS」という)、列アドレスストローブ信号/CAS(以下、「/CAS」という)、ライト制御信号/WEおよびリード出力制御信号/OEを受ける。

【0082】ここで、バンクA11とバンクB13とは同じ構成であるので、バンクA11に関連する部分のみを説明する。アドレスバッファ3は、外部アドレス信号Addを受ける。すなわち、ローアドレスバッファA21は、メモリアレイバンクA41の行を選択するための外部ローアドレス信号を受ける。コラムアドレスバッファA25は、メモリアレイバンクA41の列を選択するための外部コラムアドレス信号を受ける。

【0083】コントロール信号発生回路1は、外部クロック信号ECLKを受け、それに基づき、外部クロック信号ECLKと同じ周波数 f の内部クロック信号ICLK(f)を発生する。さらに、コントロール信号発生回路1は、外部クロック信号ECLKに基づき、外部クロック信号ECLKの周波数 f を $1/2$ に分周した周波数 $f/2$ の内部クロック信号ICLK($f/2$)を発生する。

【0084】コラムアドレスカウンタA5は、コラムアドレスバッファA25を介して、外部コラムアドレス信号を受ける。すなわち、コラムアドレスカウンタA5は、コラムアドレスバッファA25からの、メモリアレイバンクA41の列を選択するための基準内部コラムアドレス信号を受けることになる。

【0085】コラムアドレスカウンタA5は、周波数 f または周波数 $f/2$ の内部クロック信号ICLKに同期して動作する。すなわち、コラムアドレスカウンタA5は、内部クロック信号ICLKに同期して、基準内部コラムアドレス信号に基づき、メモリアレイバンクA41の列を選択するための内部コラムアドレス信号を順次発生する。

【0086】詳しく説明すると、コラムアドレスカウンタA5は、コラムアドレスバッファA25からの基準内部コラムアドレス信号をスタートアドレスとし、そのスタートアドレスをインクリメントしていったアドレスを内部コラムアドレス信号として、順次発生するものである。なお、周波数 f の内部クロック信号ICLK(f)と周波数 $f/2$ の内部クロック信号ICLK($f/2$)との切換は、スイッチング回路9により行なう。

【0087】メモリアレイバンクA41は、複数の図示しないメモリセルを有している。このメモリセルは情報

を記憶するためのものである。ローデコーダA29は、ローアドレスバッファA21を介して、外部ローアドレス信号を受ける。すなわち、ローデコーダA29は、ローアドレスバッファA21からの、メモリアレイバンクA41の行を選択するための内部ローアドレス信号を受けることになる。ローデコーダA29は、内部ローアドレス信号に基づき、メモリアレイバンクA41の行を選択する。

【0088】コラムデコーダA33は、コラムアドレスカウンタA5から発生された内部コラムアドレス信号を受ける。コラムデコーダA33は、順次発生される内部コラムアドレス信号に基づき、メモリアレイバンクA41の列を順次選択する。センスアンプ・入出力コントロール回路A37に含まれる図示しないセンスアンプは、メモリアレイバンクA41のビット線対に読出された電位差を増幅する。センスアンプ・入出力コントロール回路A37に含まれる図示しない入出力コントロール回路は、メモリアレイバンクA41のデータの授受を制御する。I/OレジスタA45は、入出力データを一時的に保持する。

【0089】マルチプレクサ15は、バンクを選択するためのバンクアドレス信号BAに基づき、バンクを選択する。たとえば、バンクA11を選択した場合には、マルチプレクサ15は、入力バッファ19からの書込データを、バンクA11に入力する。また、たとえば、バンクA11を選択した場合には、マルチプレクサ15は、I/OレジスタA45からの読出データを、出力バッファ17に入力する。なお、マルチプレクサ15は、周波数 f の内部クロック信号ICLK(f)に同期して動作する。

【0090】入力バッファ19は、データDQを受け、書込データとしてマルチプレクサ15に入力する。出力バッファ17は、マルチプレクサ15からの読出データを、データDQとして出力する。なお、図1のSDRAMが図13のSDRAMと同様に動作する場合は、コラムアドレスカウンタA5およびコラムアドレスカウンタB7は、周波数 f の内部クロック信号ICLK(f)に同期する。以下に説明するように、図1のSDRAMが、本実施の形態としての動作をするときは、コラムアドレスカウンタA5およびコラムアドレスカウンタB7は、周波数 $f/2$ の内部クロック信号ICLK($f/2$)に同期して動作する。

【0091】図2は、図1のSDRAMの第1の動作を説明するためのタイミング図である。

【0092】第1の動作は、外部クロック信号ECLKの立上りエッジで、バンクアドレス信号BA、外部アドレス信号Add、/RAS、/CAS、ライト制御信号/WEおよびリード出力制御信号/OEなどの外部信号が取込まれる場合である。

【0093】時刻 t_0 の外部クロック信号ECLKの立

上リエッジで、「L」レベルのバンクアドレス信号B A、外部ローアドレス信号X a（以下、外部ローアドレス信号と内部ローアドレス信号を区別せずに、単に「ローアドレス信号」という）、／RASが取込まれる。なお、バンクアドレス信号B Aが「L」レベルのときには、バンクA 1 1が選択されることを示している。

【0094】以上により、時刻 t_0 では、バンクA 1 1に対するローアドレスバッファA 2 1からのローアドレス信号X aに基づき、ローデコーダA 2 9により、その行が選択されるメモリアレイバンクA 4 1が動作し始める。

【0095】時刻 t_1 の外部クロック信号E CLKの立上リエッジで、「H」レベルのバンクアドレス信号B A、バンクB 1 3に対するローアドレス信号X bおよび／RASが取込まれる。なお、バンクアドレス信号B Aが「H」レベルのときは、バンクB 1 3を選択することを示している。以上により、時刻 t_1 では、バンクB 1 3に対するローアドレスバッファB 2 3からのローアドレス信号X bに基づき、ローデコーダB 3 1により、その行が選択されるメモリアレイバンクB 4 3が動作し始める。

【0096】時刻 t_2 の外部クロック信号E CLKの立上リエッジで、バンクA 1 1を示す「L」レベルのバンクアドレス信号B A、バンクA 1 1に対する外部コラムアドレス信号Y a（以下、外部コラムアドレス信号と基準内部コラムアドレス信号とを区別して説明する必要があるときには、これらを単に「コラムアドレス信号」という）および／CASが取込まれる。

【0097】以上により、コラムアドレスバッファA 2 5は、外部コラムアドレス信号Y aを受取り、基準内部コラムアドレス信号Y aとして出力する。コラムアドレスカウンタA 5は、コラムアドレスバッファA 2 5からの出力を基準にして（基準内部コラムアドレス信号Y aをスタートアドレスにして）、内部アドレス信号を順次発生する。コラムアドレスカウンタA 5から順次発生される内部コラムアドレス信号は、コラムデコーダA 3 3に入力され、メモリアレイバンクA 4 1の列を順次選択する。

【0098】時刻 t_3 で、外部クロック信号E CLKの立上リエッジで、バンクB 1 3を示す「H」レベルのバンクアドレス信号B A、バンクB 1 3に対する外部コラムアドレス信号Y bおよび／CASが取込まれる。これにより、コラムアドレスバッファB 2 7は、バンクB 1 3に対する外部コラムアドレス信号Y bを受け、基準内部コラムアドレス信号Y bとして出力する。コラムアドレスカウンタB 7は、コラムアドレスバッファB 2 7からの出力を基準にして（基準内部コラムアドレス信号Y bをスタートアドレスにして）、バンクB 1 3に対する内部コラムアドレス信号を順次発生する。コラムデコーダB 3 5は、コラムアドレスカウンタB 7から順次発生

される内部コラムアドレス信号を受け、メモリアレイバンクB 4 3の列を順次選択する。

【0099】時刻 t_4 で、外部クロック信号E CLKの立下リエッジから、ローアドレス信号X aとコラムアドレス信号Y aに対応するデータD a 0が出力される。なお、時刻 t_4 は、時刻 t_0 からデータが出力されるまでの時間が、時刻 t_0 からのローアドレスアクセス時間（／RASアクセス時間）より後または時刻 t_2 からのコラムアドレスアクセス時間（／CASアクセス時間）より後になるような時刻である。

【0100】時刻 t_5 で、外部クロック信号E CLKの立下リエッジからローアドレス信号X bとコラムアドレス信号Y bとに対応するデータD b 0が出力される。

【0101】以降、基準内部コラムアドレス信号Y aおよびY bを基準として（スタートアドレスとして）、コラムアドレスカウンタA 5およびコラムアドレスカウンタB 7からそれぞれ出力される内部コラムアドレス信号に基づき、バンクA 1 1のデータ（D a 1、D a 2、D a 3）と、バンクB 1 3のデータ（D b 1、D b 2、D b 3）とが交互に出力される。

【0102】これは、コラムアドレスカウンタA 5およびコラムアドレスカウンタB 7が、周波数 $f/2$ の内部クロック信号I CLK（ $f/2$ ）に同期して、それぞれ基準内部コラムアドレス信号Y aに基づく内部アドレス信号および基準内部コラムアドレス信号Y bに基づく内部コラムアドレス信号を順次発生していることに基づいている。なお、コラムアドレスカウンタA 5は、内部クロック信号I CLK（ $f/2$ ）の立下リエッジに応じ、内部コラムアドレス信号を順次発生する。コラムアドレスカウンタB 7は、内部クロック信号I CLK（ $f/2$ ）の立上リエッジに応じ、内部コラムアドレス信号を順次発生する。

【0103】ここで、バンクA 1 1に対する外部アドレス信号Addや／RASなどの外部信号の取込は、外部クロック信号E CLKにおいて、時刻 t_0 のクロックを第0番目とすると、偶数番目のクロックで行なわれる。また、偶数番目のクロックの立上りまでに、バンクA 1 1に対するデータの出力が行なわれているようにする。バンクB 1 3に対しても、時刻 t_1 のクロックを第0番目として同様である。

【0104】以上のように、本実施の形態では、バンクA 1 1およびバンクB 1 3に対応して、コラムアドレスカウンタA 5およびコラムアドレスカウンタB 7を設けている。このため、バンクA 1 1に対する基準内部アドレス信号とバンクB 1 3に対する基準内部アドレス信号をそれぞれ、コラムアドレスカウンタA 5とコラムアドレスカウンタB 7とに保持できる。したがって、コラムアドレスカウンタA 5およびコラムアドレスカウンタB 7は、それぞれバンクA 1 1に対する基準内部コラムアドレス信号に基づく内部アドレス信号およびバンクB 1

3に対する基準内部コラムアドレス信号に基づく内部コラムアドレス信号を順次、交互に、発生できる。

【0105】その結果、本実施の形態では、バンクA11とバンクB13とを交互にアクセスしてデータを交互に読出す場合においても、アクセスしようとするバンクが変わるたびに、アクセスしようとするバンクに対する外部列アドレス信号をその都度入力する必要がない。すなわち、アドレス入力の簡略化ができる。

【0106】図3は、図1のSDRAMの第2の動作を説明するためのタイミング図である。図1のSDRAMの第2の動作は、バンクA11に対する/RASが既に取込まれている場合である。

【0107】図3を参照して、時刻 t_0 において、外部クロック信号ECLKの立上りエッジで、バンクB13を示す「H」レベルのバンクアドレス信号BA、/RASおよびバンクB13に対するローアドレス信号Xbが取込まれる。

【0108】時刻 t_1 で、バンクA11を示す「L」レベルのバンクアドレス信号BA、/CASおよびバンクB13に対するコラムアドレス信号Yaが取込まれる。ここで、バンクA11については、既に、/RASが取込まれ、ロー系が活性化されている。

【0109】このため、時刻 t_1 からデータが出力されるまでの時間がコラムアドレスアクセス時間(/CASアクセス時間)を満足するような時刻 t_3 の外部クロック信号の立下りエッジからバンクA11に対するデータDa0が出力される。そして、次の外部クロック信号ECLKの立下りエッジでデータが切れる。なお、データDa0は、コラムアドレス信号Yaに対応するものである。

【0110】コラムアドレスカウンタA5は、基準内部コラムアドレス信号Yaをスタートアドレスして、そのスタートアドレスをインクリメントしたアドレスを内部コラムアドレス信号として順次発生する。

【0111】このため、データDa0を出力してから、外部クロック信号ECLKについて1クロックおいた時刻 t_4 で、コラムアドレスカウンタA5からの、コラムアドレス信号Yaに対応する内部コラムアドレス信号の次の内部コラムアドレス信号(基準内部コラムアドレス信号Yaを1つインクリメントした内部コラムアドレス信号)に対する読出データDa1が出力され始める。

【0112】一方、バンクB13に関しては、時刻 t_0 に/RASが取込まれ、時刻 t_2 に/CASが取込まれている。バンクB13に対してアクセスされたデータDb0が出力されるまでは、バンクA11のデータが、外部クロック信号ECLKの1クロックおきに出力される。そして、バンクB13に対するローアドレスアクセス時間(/RASアクセス時間)またはコラムアドレスアクセス時間(/CASアクセス時間)を満足するような時刻から、バンクB13に対するデータが出力され

る。

【0113】図3においては、バンクA11に対するデータDa1の次から、バンクB13に対するデータDb0が出力されている。すなわち、時刻 t_4 で、データDa1が出力され始め、時刻 t_5 でデータDb0が出力され始める。以降、バンクA11に対するデータ(Da2、Da3、Da4)とバンクB13に対するデータ(Db1、Db2、Db3)とが交互に出力される。

【0114】これは、コラムアドレスカウンタA5およびコラムアドレスカウンタB7が、周波数 $f/2$ の内部クロック信号ICLK($f/2$)に同期して、それぞれ基準内部コラムアドレス信号Yaに基づく内部アドレス信号および基準内部コラムアドレス信号Ybに基づく内部コラムアドレス信号を順次、交互に、発生していることに基づいている。

【0115】なお、コラムアドレスカウンタA5は、内部クロック信号ICLK($f/2$)の立下りエッジに応じて内部コラムアドレス信号を発生している。また、コラムアドレスカウンタB7は、内部クロック信号ICLK($f/2$)の立上りエッジに応じて内部コラムアドレス信号を発生している。

【0116】以上のように、図1のSDRAMが第2の動作をする場合においても、第1の動作で説明したのと同様の理由で、アクセスしようとするバンクが変わるたびに、アクセスしようとするバンクに対する外部コラムアドレス信号の入力を必要としない。すなわち、図1のSDRAMが第2の動作をする場合においても、アドレス入力が簡略化できる。

【0117】図4は、図1のSDRAMの第3の動作を説明するためのタイミング図である。第3の動作は、バンクA11とバンクB13とで、リード動作とライト動作を交互に実行する場合である。

【0118】図4を参照して、時刻 t_0 で、バンクA11に対するローアドレスXa、/RASおよびバンクA11を示す「L」レベルのバンクアドレス信号BAが取込まれる。

【0119】時刻 t_1 で、バンクB13に対するローアドレスXb、/RASおよびバンクB13を示す「H」レベルのバンクアドレス信号BAが取込まれる。

【0120】時刻 t_2 で、バンクA11に対するコラムアドレス信号Yaが取込まれる。そして、時刻 t_3 で、外部クロック信号ECLKの立下りエッジからバンクA11に対するデータDa0が出力され始める。

【0121】一方、時刻 t_4 で、外部クロック信号ECLKの立上りエッジで、バンクB13に対する/CAS、ライト制御信号/WE、コラムアドレス信号Ybおよび書込データDb0が取込まれる。

【0122】以降、バンクA11に対する読出データ(Da1、Da2、Da3)と、バンクB13に対する書込データ(Db1、Db2、Db3)が交互に入出力

される。これは、コラムアドレスカウンタA5およびコラムアドレスカウンタB7がそれぞれ基準内部コラムアドレス信号YaおよびYbをスタートアドレスとして、バンクA11に対する内部コラムアドレス信号およびバンクB13に対する内部コラムアドレス信号を、内部クロック信号ICLK ($f/2$) に同期して順次発生していることに基づいている。

【0123】なお、コラムアドレスカウンタA5は、内部クロック信号ICLK ($f/2$) の立下りエッジに応じて内部コラムアドレス信号を発生している。コラムアドレスカウンタB7は、内部クロック信号ICLK ($f/2$) の立上りエッジに応じて内部コラムアドレス信号を発生している。

【0124】以上のように、図1のSDRAMが第3の動作をする場合においても、第1の動作において説明したと同様の理由により、アクセスしようとするバンクが変わるたびに、アクセスしようとするバンクに対する外部コラムアドレス信号の入力を必要としない。すなわち、図1のSDRAMが第3の動作をする場合においても、アドレス入力の簡略化ができる。

【0125】なお、図1では、バンクの数が2つの場合を示したが、2つ以上の複数のバンクが存在しても、複数のバンクに対して複数のコラムアドレスカウンタを設けることで、上記したと同様に適用でき、上記したと同様の効果を奏する。

【0126】(実施の形態2) 図5は、本発明の実施の形態2によるSDRAMを示す概略ブロック図である。なお、図1と同様の部分については同一の参照符号を付し、その説明を適宜省略する。

【0127】図5のSDRAMが、図1のSDRAMと異なる点について説明する。外部クロック信号ECLKの周波数と、コラムアドレスカウンタが同期する内部クロック信号ICLKの周波数とが同じ点が異なっている。すなわち、外部クロック信号ECLKおよび内部クロック信号ICLKの周波数は f である。コラムアドレスカウンタA5またはコラムアドレスカウンタB7の一方が、内部クロック信号ICLK (f) の立上りで動作し、他方が内部クロック信号ICLK (f) の立下りで動作する点が異なる。

【0128】マルチプレクサ15は、外部クロック信号ECLKの周波数 f を2倍した周波数 $2f$ の内部クロック信号ICLK ($2f$) の立上りで一方のバンクに切り換え、内部クロック信号ICLK ($2f$) の立下りで他方のバンクに切り換わる点が異なる。コントロール信号発生回路1において、外部クロック信号ECLKの立上りと立下りの両方で、外部アドレス信号Add、/RASおよび/CASなどの外部信号が取込まれる点が異なる。

【0129】図6は、図5のSDRAMの第1の動作を説明するためのタイミング図である。第1の動作は、外

部クロック信号ECLKの立下りで、バンクA11に対する外部アドレス信号Add (外部ローアドレス信号、外部コラムアドレス信号) が取込まれ、外部クロック信号ECLKの立上りから出力バッファ17が活性化され、読出データが出力され始める場合である。また、バンクB13に対しては、外部クロック信号ECLKの立上りで外部アドレス信号Add (外部ローアドレス信号、外部コラムアドレス信号) が取込まれ、外部クロック信号ECLKの立下りから出力バッファ17が活性化され読出データが出力され始める。

【0130】図6を参照して、時刻 t_0 で、外部クロック信号ECLKの立下りエッジで、/RASとバンクA11に対するローアドレス信号Xaが取込まれる。時刻 t_1 において、外部クロック信号ECLKの立下りエッジで、/RASとバンクB13に対するローアドレス信号Xbが取込まれる。

【0131】時刻 t_2 において、外部クロック信号ECLKの立下りエッジで、/CASとバンクA11に対するローアドレス信号Yaが取込まれる。時刻 t_3 において、外部クロック信号ECLKの立上りエッジで、/CASとバンクB13に対するローアドレス信号Ybが取込まれる。

【0132】/RASアクセス時間が50ns程度のメモリにおいて、外部クロック信号ECLKの周波数 f が66MHzであるとする。この場合には、時刻 t_3 の次の外部クロック信号ECLKの立上り時刻 t_4 からバンクA11に対するデータDa0が出力され始める。そして、外部クロック信号ECLKの立下り時刻 t_5 までに出力が確定している。

【0133】時刻 t_5 において、外部クロック信号ECLKの立下りエッジからバンクB13に切り換わり、バンクB13に対するデータDb0が出力され始める。そして、時刻 t_6 での外部クロック信号ECLKの立上りまでにデータが確定している。

【0134】以降、同様にして、バンクA11に対するデータ(Da1、Da2、Da3)とバンクB13に対するデータ(Db1、Db2、Db3)が交互に出力される。これは、コラムアドレスカウンタA5およびコラムアドレスカウンタB7が、外部クロック信号ECLKと同じ周波数 f を有する内部クロック信号ICLK

(f) に同期して、それぞれバンクA11に対する内部コラムアドレス信号およびバンクB13に対する内部コラムアドレス信号を順次、交互に、発生していることに基づく。

【0135】すなわち、コラムアドレスカウンタA5およびコラムアドレスカウンタB7は、それぞれ、基準内部コラムアドレス信号YaおよびYbをスタートアドレスとして、バンクA11に対する内部コラムアドレス信号およびバンクB13に対する内部コラムアドレス信号を順次、交互に、発生していることに基づく。なお、コラ

ムアドレスカウンタA5は、内部クロック信号ICLK(f)の立下りエッジに応じて内部コラムアドレス信号を発生している。コラムアドレスカウンタB7は、内部クロック信号ICLK(f)の立上りエッジに応じて内部コラムアドレス信号を発生している。

【0136】以上のように、本実施の形態では、バンクA11およびバンクB13に対応して、コラムアドレスカウンタA5およびコラムアドレスカウンタB7を設けている。このため、コラムアドレスカウンタA5およびコラムアドレスカウンタB7に、それぞれバンクA11に対する基準内部コラムアドレス信号およびバンクB13に対する基準内部コラムアドレス信号を保持することができる。したがって、コラムアドレスカウンタA5およびコラムアドレスカウンタB7は、それぞれバンクA11に対する基準内部コラムアドレス信号およびバンクB13に対する基準内部コラムアドレス信号に基づき、内部コラムアドレス信号を順次、交互に発生できる。

【0137】その結果、本実施の形態では、バンクA11とバンクB13とを交互にアクセスしようとする際に、アクセスするバンクが変わるたびに、アクセスしようとするバンクに対する外部コラムアドレス信号の入力を必要としない。すなわち、本実施の形態では、アドレス入力を簡略化できる。

【0138】図7は、図5のSDRAMの第2の動作を説明するためのタイミング図である。第2の動作は、外部クロック信号ECLKの立下りでバンクA11に対する外部アドレス信号Addが取込まれ、外部クロック信号ECLKの立上りから出力バッファ17が活性化され、読出データが出力され始める場合である。さらに、第2の動作では、バンクB13に対して、外部クロック信号ECLKの立上りで外部アドレス信号Add、書込データが取込まれる。

【0139】図7を参照して、時刻 t_0 において、/RASおよびバンクA11に対するローアドレス信号Xaが取込まれる。時刻 t_1 において、/RASおよびバンクB13に対するローアドレス信号Xbが取込まれる。時刻 t_2 において、バンクA11に対するコラムアドレス信号Yaおよび/CASが取込まれる。

【0140】時刻 t_3 において、外部クロック信号ECLKの立上りエッジから、出力バッファ17が動作し始めて、バンクA11に対するデータDa0が出力され始める。時刻 t_4 において、外部クロック信号ECLKの立下りエッジで、バンクA11に対するデータDa0の出力が切れる。ここで、データDa0が出力されるタイミングは、/RASアクセス時間を満足している。

【0141】一方、時刻 t_5 において、外部クロック信号ECLKの立上りエッジで、バンクB13に対する書込データDb0およびライト制御信号/WEが取込まれると同時に、バンクA11に対するデータDa1を出力し始める。以降、同様にして、バンクA11に対するリ

ード動作と、バンクB13に対するライト動作が、外部クロック信号ECLKのエッジごとに交互に行なわれる。

【0142】これは、コラムアドレスカウンタA5およびコラムアドレスカウンタB7が、それぞれバンクA11に対する内部コラムアドレス信号およびバンクB13に対する内部コラムアドレス信号を、周波数fの内部クロック信号ICLK(f)に同期して、順次発生することに基づいている。なお、コラムアドレスカウンタA5は、内部クロック信号ICLK(f)の立下りエッジに応じて内部コラムアドレス信号を発生する。コラムアドレスカウンタB7は、内部クロック信号ICLK(f)の立上りエッジに応じて内部コラムアドレス信号を発生する。

【0143】以上のように、図5のSDRAMが、第2の動作をする場合においても、第1の動作で説明したと同様の理由により、アクセスするバンクが変わるたびに、そのアクセスするバンクに対応する外部コラムアドレス信号の入力を必要としない。すなわち、図5のDRAMが第2の動作をする場合においても、アドレス入力を簡略化できる。

【0144】なお、図5においては、バンクが2つの場合を示したが、バンクが2つ以上の複数存在する場合においても、複数のバンクに対して、複数のコラムアドレスカウンタを設けることで、上記と同様に適用でき、上記したと同様の効果を奏する。

【0145】また、図5のコラムアドレスカウンタA5が、内部クロック信号ICLKを反転した信号/ $\overline{\text{ICLK}}$ に同期して動作するときは、コラムアドレスカウンタA5は、信号/ $\overline{\text{ICLK}}$ の立上りエッジに応じて、内部コラムアドレス信号を発生する。このときは、コラムアドレスカウンタB7は、内部クロック信号ICLKに同期して動作し、内部クロック信号ICLKの立上りエッジで内部コラムアドレス信号を発生する。

【0146】(実施の形態3) 実施の形態3によるSDRAMは、実施の形態1および2によるSDRAMの機能を有するとともに、同じバンクにおいて、同じ外部ローアドレス信号で、複数組の外部コラムアドレス信号(基準内部アドレス信号)に対して、リードおよびライト動作を実現できる。

【0147】図8は、本発明の実施の形態3によるSDRAMを示す概略ブロック図である。図1と同様の部分については、同一の参照符号を付し、その説明を適宜省略する。図8のSDRAMが、図1のSDRAMの構成と異なるのは、主に、コラムアドレスカウンタとバンクである。この異なる部分について主に説明する。

【0148】図8を参照して、バンクA11は、メモリアレイバンクA41、ローデコードA29、コラムデコードA33、入出力コントロール回路#1A(IOCコントロール回路#1A)49、入出力コントロール回路#

0A (I/Oコントロール回路#0A) 53、センスアンプA (S. A. A) 57、I/Oレジスタ#0A61およびI/Oレジスタ#1A65を含む。なお、バンクB13の構成もバンクA11の構成と同様であるので、その説明は省略する。

【0149】コラムアドレスカウンタA5およびコラムアドレスカウンタB7は、バンクA11またはバンクB13を選択して用いることができる。すなわち、コラムアドレスカウンタA5およびコラムアドレスカウンタB7を、バンクA11に対して用いることができる。さらに、同様に、コラムアドレスカウンタA5およびコラムアドレスカウンタB7をバンクB13に対してのみ用いることもできる。また、実施の形態1および2と同様の用い方もできる。

【0150】センスアンプA57は、メモリアレイバンクA41の図示しないビット線対に読出された電位差を増幅するものである。ここで、コラムアドレスカウンタA5およびコラムアドレスカウンタB7を、バンクA11に対して用いた場合を考える。入出力コントロール回路#0A53は、コラムアドレスカウンタA5からの内部コラムアドレス信号に基づいて選択された、メモリアレイバンクA41の列におけるデータの授受を制御する。I/Oレジスタ#0A61は、入出力コントロール回路#0A53により制御される入出力データを一時的に保持するものである。

【0151】入出力コントロール回路#1A49は、コラムアドレスカウンタB7からの内部コラムアドレス信号により選択される、メモリアレイバンクA41の列におけるデータの授受を制御する。I/Oレジスタ#1A65は、入出力コントロール回路#1A49によって制御される入出力データを一時的に保持するものである。

【0152】なお、コラムアドレスカウンタA5に対応する場合には、「#0」を付し、コラムアドレスカウンタB7に対応する場合には「#1」を付している。

【0153】図9は、図8のSDRAMの第1の動作を説明するためのタイミング図である。第1の動作は、バンクA11に対して、コラムアドレスカウンタA5およびコラムアドレスカウンタB7を用い、2つのコラムアドレスカウンタからの内部コラムアドレス信号に基づき、バンクA11内で交互にアクセスする場合である。

【0154】すなわち、バンクA11の同じローアドレス信号Xaにおいて、基準内部コラムアドレス信号Ya、YAをそれぞれスタートアドレスとして、基準内部コラムアドレス信号Yaに対するデータと基準コラムアドレス信号YAに対するデータが交互に出力される場合である。

【0155】なお、基準内部コラムアドレス信号Yaをもとに内部コラムアドレス信号を発生するのはコラムアドレスカウンタA5である。基準内部コラムアドレス信号YAをもとに内部コラムアドレス信号を発生するのは

コラムアドレスカウンタB7である。

【0156】図9を参照して、時刻 t_0 で、周波数 f である外部クロック信号CLKの立上りエッジで、バンクA11に対するローアドレス信号Xaが取込まれる。時刻 t_1 において、外部クロック信号CLKの立上りエッジで、コラムアドレス信号Yaが取込まれる。時刻 t_2 において、外部クロック信号CLKの立上りエッジで、コラムアドレス信号YAが取込まれる。

【0157】時刻 t_3 において、外部クロック信号CLKの立下りエッジからコラムアドレス信号Yaに対するデータDa0が読出される。その次に、コラムアドレス信号YAに対するデータDA0が読出される。なお、時刻 t_0 から、時刻 t_3 の外部クロック信号CLKの立下りエッジからデータDa0が出力されるまでの時間は、/RASアクセス時間を満たしている。

【0158】以降、基準内部コラムアドレス信号Yaをもとにした内部コラムアドレス信号に応じたデータ(Da1、Da2、Da3)と、基準内部コラムアドレス信号YAをもとにした内部コラムアドレス信号に応じたデータ(DA1、DA2、DA3)が交互に出力される。

【0159】これは、コラムアドレスカウンタA5およびコラムアドレスカウンタB7が、周波数 $f/2$ の内部クロック信号ICLK ($f/2$)に同期して、それぞれ基準内部コラムアドレス信号Yaに基づく内部アドレス信号および基準内部コラムアドレス信号YAに基づく内部コラムアドレス信号を順次、交互に、発生していることに基づいている。

【0160】なお、コラムアドレスカウンタA5は、内部クロック信号ICLK ($f/2$)の立下りエッジに応じて、内部コラムアドレス信号を発生する。コラムアドレスカウンタB7は、内部クロック信号ICLK ($f/2$)の立上りエッジに応じて内部コラムアドレス信号を発生する。

【0161】センスアンプA57に読出されたデータのうち、基準内部コラムアドレス信号Yaに基づく内部コラムアドレス信号に応じて、コラム選択線で選択されたデータが入出力コントロール回路#0A53から読出される。また、センスアンプA57に読出されたデータのうち、基準内部コラムアドレス信号YAに基づく内部コラムアドレス信号に応じて、コラム選択線で選択されたデータが入出力コントロール回路#1A49から読出される。

【0162】マルチプレクサ15は、バンクA11に対して設けられているI/Oレジスタ#0A61およびI/Oレジスタ#1A65の出力を交互に切換えて、出力バッファ17に転送する。なお、マルチプレクサ15は、周波数 f の内部クロック信号ICLK (f)に同期して動作する。マルチプレクサ15は、バンクアドレス信号BAに基づき、バンクを選択する。この場合には、バンクA11が選択されている。そして、I/Oレジスタ#0A

61とI/Oレジスタ#1A65との切換は、信号#0・#1により行なう。

【0163】以上のように、本実施の形態によるSDRAMにおいては、1つのバンクに対して2つのコラムアドレスカウンタを用いることができる。このため、2つのコラムアドレスカウンタに、それぞれ異なる2つの基準内部コラムアドレス信号を割当てることができる。

【0164】その結果、1つのバンク内で、異なる基準内部コラムアドレス信号のそれぞれに基づく内部コラムアドレス信号に基づいて交互にアクセスしようとする際に、10 アクセスのたびに外部コラムアドレス信号の入力を必要としない。すなわち、本実施の形態では、1つのバンク内で、2つの異なる基準内部コラムアドレス信号に基づき交互にアクセスをするときにおいても、アドレス入力を簡略化することができる。

【0165】なお図9の動作は、図2の動作に対応するものである。主に異なるのは、図2の動作が、2つのバンクに対して交互にアクセスしているのに対し、図9の動作が、1つのバンクに対して交互にアクセスしている点である。

【0166】また、図9においては、読出動作について説明したが、図4と同様にして、基準内部コラムアドレス信号Yaに対しては読出動作、基準内部コラムアドレス信号YAに対しては書込動作を交互に行なうことも可能である。この場合にも、上記したと同様の効果を奏する。図10は、図8のSDRAMの第2の動作を説明するためのタイミング図である。第2の動作は、周波数fの外部クロック信号ECLKの立下りで、コラムアドレス信号Yaを、立上りで基準内部コラムアドレス信号YAを取込んで、外部クロック信号ECLKのエッジごとに、基準内部コラムアドレス信号Ya、YAに対するデータを交互に出力する場合である。

【0167】なお、上記した第1の動作の場合と同様に、コラムアドレスカウンタA5およびコラムアドレスカウンタB7は、バンクA11に対して用いられ、バンクA11内で、交互にアクセスが行なわれる。

【0168】図10を参照して、時刻 t_0 において、外部クロック信号ECLKの立下りエッジで、ローアドレス信号Xaおよび/RASが取込まれる。時刻 t_1 において、外部クロック信号ECLKの立下りエッジで、コラムアドレス信号Yaおよび/CASが取込まれる。時刻 t_2 において、外部クロック信号ECLKの立上りエッジで、コラムアドレス信号YAおよび/CASが取込まれる。

【0169】そして、時刻 t_3 から、基準内部コラムアドレス信号Yaに対するデータが出力し始める。時刻 t_5 までには、出力が確定している。

【0170】時刻 t_5 の立下りエッジから、基準内部コラムアドレス信号YAに対するデータDA0が出力され始め、時刻 t_6 の立上りエッジまでに出力が確定してい

る。なお、時刻 t_0 から、時刻 t_3 の外部クロック信号ECLKの立上りエッジからデータDa0が出力されるまでの時間は、/RASアクセス時間を満足している。

【0171】以降、基準内部コラムアドレス信号Yaに基づく内部コラムアドレス信号に応じたデータ(Da1、Da2、Da3)と基準内部コラムアドレス信号YAに基づく内部コラムアドレス信号に応じたデータ(DA1、DA2、DA3)が交互に出力される。

【0172】これは、コラムアドレスカウンタA5およびコラムアドレスカウンタB7が、周波数fの内部クロック信号ICLK(f)に同期して、それぞれ基準内部コラムアドレス信号Yaおよび基準内部コラムアドレス信号YAに基づく内部コラムアドレス信号を、順次、交互に発生していることに基

づく。【0173】また、コラムアドレスカウンタA5は、内部クロック信号ICLK(f)の立下りエッジに応じて、内部コラムアドレス信号を発生する。コラムアドレスカウンタB7は、内部クロック信号ICLK(f)の立上りエッジに応じて内部コラムアドレス信号を発生する。なお、図10の動作は、図6の動作に対応するものである。主に異なるのは、図6の動作が、2つのバンクに対して交互にアクセスしているのに対し、図10の動作が1つのバンクに対して交互にアクセスしている点である。

【0174】また、マルチプレクサ15は、第1の動作では、周波数fの内部クロック信号ICLK(f)に同期していたが、第2の動作では、周波数2fの内部クロック信号ICLK(2f)に同期して動作する。その他は、第1の動作の場合と同様である。

【0175】以上のように、本実施の形態によるSDRAMが第2の動作をする場合においても、第1の動作について説明したと同様の理由により、アクセスのたびに外部コラムアドレス信号の入力を必要とせず、アドレス入力を簡略化できる。

【0176】なお、図10では読出動作について説明したが、図7と同様にして、基準内部コラムアドレス信号Yaに対しては読出動作、基準内部コラムアドレス信号YAに対しては書込動作を交互に行なうことも可能である。この場合にも上記したと同様の効果を奏する。

【0177】また、図8は、バンクが2つの場合を示したが、バンクが2つ以上の複数存在する場合においても、複数のバンクに対して複数のコラムアドレスカウンタを設けることにより、上記したと同様に適用でき、上記したと同様の効果を奏する。

【0178】さらに、図8において、コラムアドレスカウンタA5の出力をバンクA11のコラムデコーダA33に入力させ、コラムアドレスカウンタB7の出力をバンクB13のコラムデコーダB35に入力するように切替えることもできる。この場合には、実施の形態1および2で示したような動作をも実現することができる。こ

の場合には、実施の形態1および2と同様の効果を奏する。

【0179】(実施の形態4) 実施の形態1~3によるSDRAMにおいては、2つバンクに対応して2つのコラムアドレスカウンタを設けたが、実施の形態4によるSDRAMにおいては、2つのバンクに対して、2つのコラムアドレスカウンタを設けたのと同様の機能を有する1つのコラムアドレスカウンタを設けたものである。

【0180】図11は、本発明の実施の形態4によるSDRAMにおいて、内部コラムアドレス信号の発生に関係する部分を示す概略ブロック図である。

【0181】図11を参照して、内部コラムアドレス信号の発生に関係する部分は、コラムアドレスバッファ69およびコラムアドレスカウンタ部70を含む。コラムアドレスカウンタ部70は、コラムアドレスカウンタ71、レジスタ73、AND回路A75、AND回路B77、レジスタA79およびレジスタB81を含む。

【0182】図11のコラムアドレスバッファ69およびコラムアドレスカウンタ部70を図1に適用した場合を考えてみる。図1のコラムアドレスバッファA25およびコラムアドレスバッファB27の代わりに、本実施の形態ではコラムアドレスバッファ69を設ける。

【0183】図1のコラムアドレスカウンタA5およびコラムアドレスカウンタB7の代わりに、本実施の形態では、コラムアドレスカウンタ部70を設ける。以下、図1のSDRAMに、コラムアドレスバッファ69およびコラムアドレスカウンタ部70を設けたものとして説明を行なう。

【0184】バンクA11が動作しているとき、バンクアドレス信号BAは「L」レベルであり、AND回路B77が非活性になる。一方、バンクアドレス信号BAが「L」レベルのときには、AND回路A75が活性化される。これは、AND回路A75が、バンクアドレス信号BAを反転した信号/B Aを受けるためである。このため、コラムアドレスカウンタ71の出力がバンクA11のコラムデコードA33に入力される。

【0185】次に、バンクA11に対して動作中に、バンクB13にアクセスしようとする、バンクA11に入力されていたコラムアドレスカウンタ71からの出力が、レジスタ73に一旦保持される。すなわち、コラムアドレスカウンタ71からの、バンクA11に対する内部コラムアドレス信号がレジスタ73に保持されることになる。

【0186】そして、コラムアドレスカウンタ71が、バンクB13に対して動作する。このとき、バンクアドレス信号BAが「H」レベルであるため、AND回路75は非活性になる。一方、バンクアドレス信号BAが「H」レベルであるため、AND回路77は、活性化される。このため、コラムアドレスカウンタ71からの出力は、バンクB13のコラムデコードB35に入力され

る。

【0187】次に、バンクA11に切換わる際には、レジスタ73に保持されているバンクA11の内部コラムアドレス信号が、基準内部コラムアドレス信号としてコラムアドレスカウンタ71に入力される。それと同時に、バンクB13に対するコラムアドレスカウンタ71の出力がレジスタ73に保持される。

【0188】なお、コラムアドレスカウンタ71は、バンクA11またはバンクB13に対する基準内部コラムアドレス信号に基づき、バンクA11またはバンクB13に対する内部コラムアドレス信号を順次発生するものである。

【0189】以上のように、本実施の形態によるSDRAMに用いるコラムアドレスカウンタ部70は、アクセスするバンクが変わるたびに、レジスタに、アクセスが終了した内部コラムアドレス信号を保持させる。そして、アクセスの必要が生じたときに、レジスタ73は、保持している内部コラムアドレス信号を基準内部コラムアドレス信号としてコラムアドレスカウンタ71に入力する。

【0190】その結果、本実施の形態では、アクセスするバンクが変わるたびに、アクセスするバンクに対する外部コラムアドレス信号の入力を必要とせず、アドレス入力を簡略化できる。

【0191】さらに、実施の形態1~3では、2つのバンクに対応して2つのコラムアドレスカウンタを設けていたが、本実施の形態では、2つのバンクに対して、2つのコラムアドレスカウンタの機能を有する1つのコラムアドレスカウンタ部71を設けている。このため、2つのバンクに対応して2つのコラムアドレスカウンタを設ける場合に比し、回路規模を小型化できる。

【0192】なお、図5および図8のSDRAMに対しても、同様に、図11のコラムアドレスバッファ69およびコラムアドレスカウンタ部70を設けることができる。この場合にも、上記したと同様の効果を奏する。

【0193】また、複数のバンクを設けた場合においても、図11のコラムアドレスバッファ69およびコラムアドレスカウンタ部70は、同様にして適用できる。このときも上記したと同様の効果を奏する。

【0194】(実施の形態5) 実施の形態1~4では、2つのバンクに対して2つのローアドレスバッファを設けたが、本実施の形態によるSDRAMでは、2つのバンクに対して、1つのローアドレスバッファを用いたものである。

【0195】図12は、実施の形態5によるSDRAMに用いるローアドレスバッファ部を示す概略ブロック図である。

【0196】図12を参照して、ローアドレスバッファ部82は、ローアドレスバッファ83、ラッチ回路A85およびラッチ回路B87を含む。ここで、図12のロ

ーアドレスバッファ部 82 を図 1 の SDRAM に用いた場合について説明する。

【0197】すなわち、図 1 のローアドレスバッファ A 21 およびローアドレスバッファ B 23 の代わりに、図 12 のローアドレスバッファ部 82 を用いたものである。以下、図 1 の SDRAM に図 12 のローアドレスバッファ部 82 を設けたものとして説明する。

【0198】ローアドレスバッファ 83 は、外部ローアドレス信号を受ける。バンク A 11 を示す「L」レベルのバンクアドレス信号 BA を反転した信号 /BA により、ラッチ回路 A 85 は、ローアドレスバッファ 83 からのローアドレス信号をラッチする。そしてバンク A 11 のローデコーダ A 29 に内部ローアドレス信号が入力されることになる。

【0199】一方、バンク B 13 を示す「H」レベルのバンクアドレス信号 BA によりラッチ回路 B 87 は、ローアドレスバッファ 83 からのローアドレス信号をラッチする。そして、内部ローアドレス信号がバンク B 13 のローデコーダ B 31 に入力される。

【0200】以上のように、本実施の形態による SDRAM においては、2つのバンクに対して、2つのローアドレスバッファと同様の機能を有する 1つのローアドレスバッファ部を用いている。このため、本実施の形態では、2つのバンクに対して2つのローアドレスバッファを設ける場合に比し、回路規模を小型化できる。さらに、図 1 の SDRAM をもとにしているため、実施の形態 1 と同様の効果をも奏する。

【0201】また、上記の説明では、図 12 のローアドレスバッファ部 82 を図 1 の SDRAM に用いたが、図 5 および図 8 の SDRAM についても同様に用いることができる。この場合にも、上記したと同様の効果を奏する。

【0202】さらに、上記の説明では、2つのローアドレスバッファと同様の機能を有する 1つのローアドレスバッファ部について説明したが、2つのコラムアドレスバッファと同様の機能を有する 1つのコラムアドレスバッファ部も、図 12 のローアドレスバッファ部と同様にして構成できる。

【0203】すなわち、図 12 において、ローアドレスバッファ 83 の代わりに、コラムアドレスバッファを用いる。このようにして構成した 1つのコラムアドレスバッファ部を、実施の形態 1～4 による SDRAM に用いることができる。この場合にも上記したと同様の効果を奏する。なお、2つ以上の複数のバンクに対して、上記したローアドレスバッファ部 82 およびコラムアドレスバッファ部を、用いるときは、ラッチ回路を増やすことにより同様に適用できる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 による SDRAM を示す概略ブロック図である。

【図 2】 図 1 の SDRAM の第 1 の動作を説明するためのタイミング図である。

【図 3】 図 1 の SDRAM の第 2 の動作を説明するためのタイミング図である。

【図 4】 図 1 の SDRAM の第 3 の動作を説明するためのタイミング図である。

【図 5】 本発明の実施の形態 2 による SDRAM を示す概略ブロック図である。

【図 6】 図 5 の SDRAM の第 1 の動作を説明するためのタイミング図である。

【図 7】 図 5 の SDRAM の第 2 の動作を説明するためのタイミング図である。

【図 8】 本発明の実施の形態 3 による SDRAM を示す概略ブロック図である。

【図 9】 図 8 の SDRAM の第 1 の動作を説明するためのタイミング図である。

【図 10】 図 8 の SDRAM の第 2 の動作を説明するためのタイミング図である。

【図 11】 本発明の実施の形態 4 による SDRAM の内部コラムアドレス信号の発生に関係する部分を示す概略ブロック図である。

【図 12】 本発明の実施の形態 5 による SDRAM に用いるローアドレスバッファ部を示す概略ブロック図である。

【図 13】 従来の SDRAM を示す概略ブロック図である。

【図 14】 図 13 の SDRAM の動作を説明するためのタイミング図である。

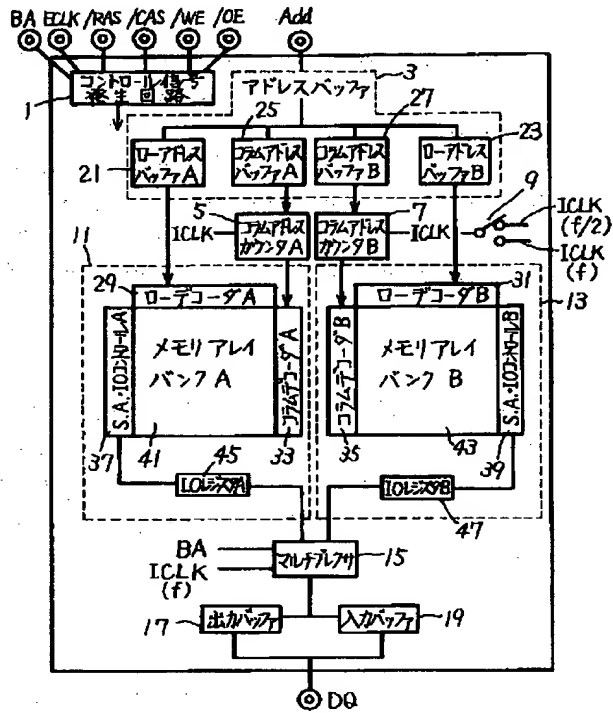
【符号の説明】

- 30 1 コントロール信号発生回路、2 アドレスバッファ、5 コラムアドレスカウンタ A、7 コラムアドレスカウンタ B、9 スイッチング回路、11 バンク A、13 バンク B、15 マルチプレクサ、17 出力バッファ、19 入力バッファ、21 ローアドレスバッファ A、23 ローアドレスバッファ B、25 コラムアドレスバッファ A、27 コラムアドレスバッファ B、29 ローデコーダ A、31 ローデコーダ B、33 コラムデコーダ A、35 コラムデコーダ B、37 センスアンプ・入出力コントロール回路 A (S. A. ・ IO コントロール回路 A)、39 センスアンプ・入出力コントロール回路 B (S. A. ・ IO コントロール回路 B)、41 メモリアレイバンク A、43 メモリアレイバンク B、45 IO レジスタ A、47 IO レジスタ B、49 入出力コントロール回路 #1 A (IO コントロール回路 #1 A)、51 入出力コントロール回路 #1 B (IO コントロール回路 #1 B)、53 入出力コントロール回路 #0 A (IO コントロール回路 #0 A)、55 入出力コントロール回路 #0 B (IO コントロール回路 #0 B)、57 センスアンプ A、59 センスアンプ B、61 IO レジスタ #0 A、63 I

35

レジスタ#0B、65 Iレジスタ#1A、67
Iレジスタ#0B、69、89 コラムアドレスバッ
ファ、70 コラムアドレスカウンタ部、71、91
コラムアドレスカウンタ、73 レジスタ、75 AN

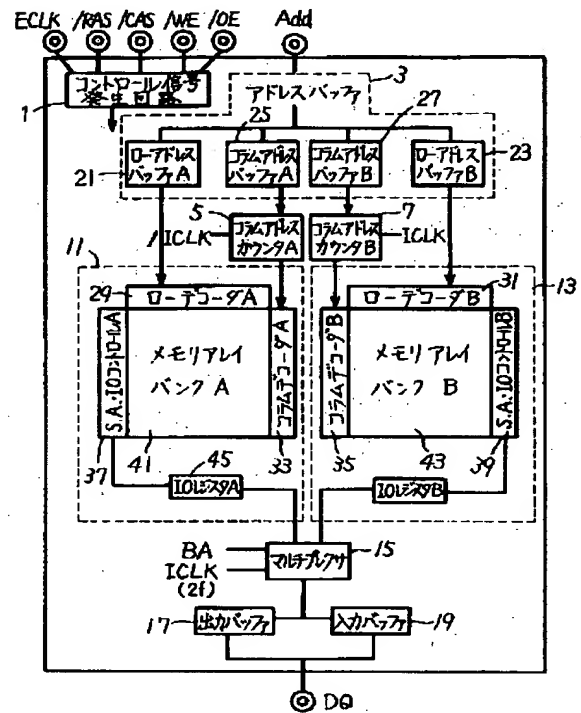
【図1】



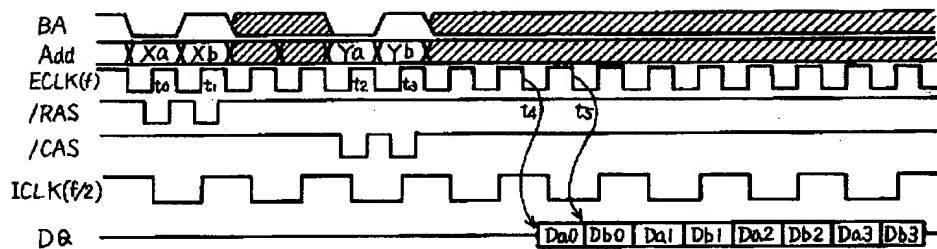
36

D回路A、77 AND回路B、79 レジスタA、8
1 レジスタB、82 ローアドレスバッファ部、83
ローアドレスバッファ、85 ラッチ回路A、87
ラッチ回路B、93 AND回路、95セクタ。

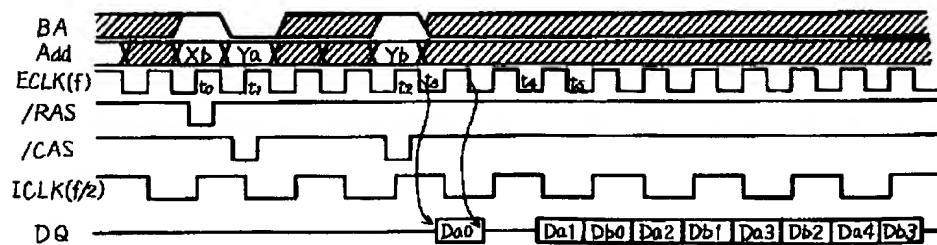
【図5】



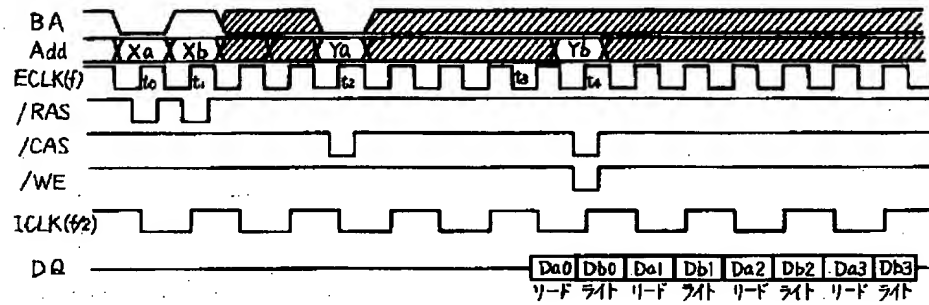
【図2】



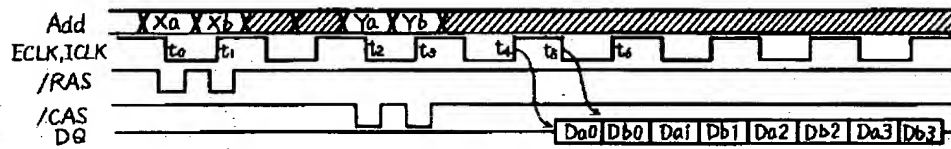
【図3】



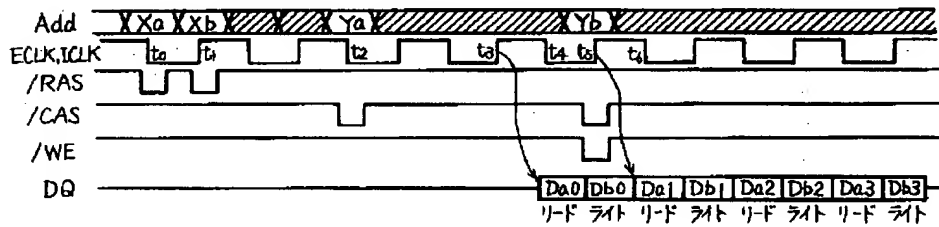
【図 4】



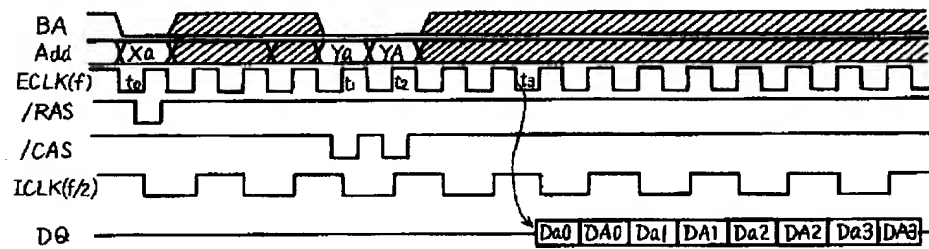
【図 6】



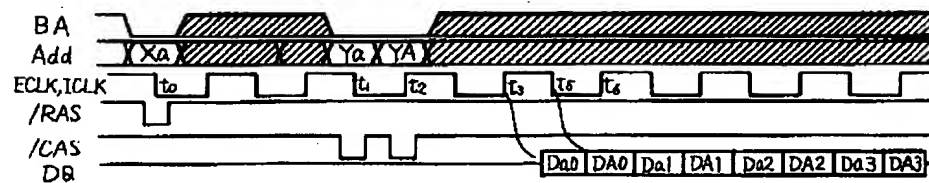
【図 7】



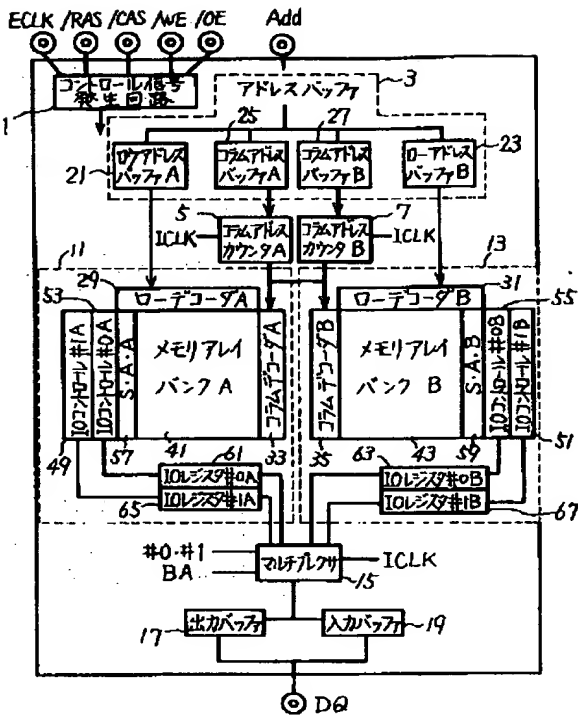
【図 9】



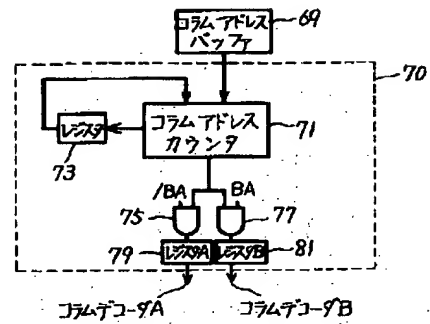
【図 10】



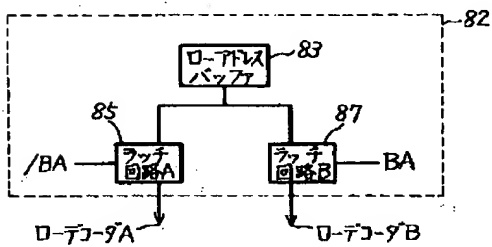
【図 8】



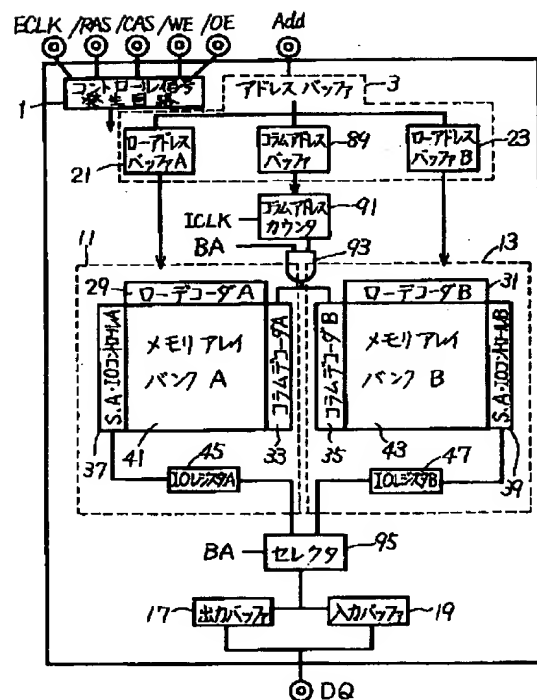
【図 11】



【図 12】



【図 13】



【図 14】

